

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161938

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

21/66

Z 7630-4M

8832-4M

8832-4M

H 0 1 L 27/ 04

21/ 82

A

T

審査請求 未請求 請求項の数1 O L (全 4 頁) 最終頁に続く

(21) 出願番号

特願平5-311497

(22) 出願日

平成5年(1993)12月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000153454

株式会社日立コンピュータエレクトロニクス

神奈川県秦野市堀山下1番地

(72) 発明者 松本 忍

神奈川県秦野市堀山下1番地 株式会社日立コンピュータエレクトロニクス内

(74) 代理人 弁理士 小川 勝男

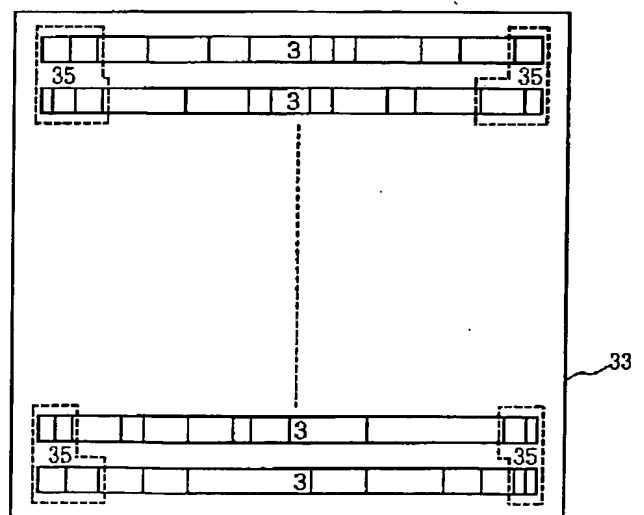
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】半導体チップ上に複数の基本セルを形成する拡散層と前記基本セル間を接続する配線層とを備えた半導体集積回路において、高速信号伝搬論理部（例えば論理機能部）を所望領域中央部に集中配置し、低速信号伝搬論理部（例えばスキャン論理部）を前記所望領域周辺部に配置することで、高速信号伝搬論理部内基本セル間の配線長を短くし、信号伝搬遅延時間の短縮を図る。

【構成】図4において3は、ブロック論理部33内の基本セル列を示しており、ブロック論理部内の基本セル列3の周辺部にスキャン論理部の基本セル配置領域35を形成する。論理機能部の基本セル配置領域34にスキャン論理部の基本セル配置領域35が入り込まないことで論理機能部内の基本セル間配線の自由度をあげることができる。図5において1は半導体集積回路を形成するチップを示しており、このチップ1の周辺部に入出力バッファ2を形成する。チップ1の中央部は複数のブロック論理部33で形成している。

図4



(2)

## 【特許請求の範囲】

【請求項1】半導体チップ上に複数の基本セルを形成する拡散層と前記基本セル間を接続する配線層とを備えた半導体集積回路において、高速信号伝搬論理部を所望領域中央部に集中配置し、低速信号伝搬論理部を前記所望領域の周辺部に配置することを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に高速信号伝搬論理部と低速信号伝搬論理部を構成する基本セルの配置に関するものである。

## 【0002】

【従来の技術】一般に、半導体集積回路は、高速信号伝搬論理部と低速信号伝搬論理部が混在している。ここで、以下、高速信号伝搬論理部を論理機能部とし、低速信号伝搬論理部を前記論理機能部の診断用スキャン論理部として説明する。半導体集積回路は、半導体基板上に論理機能部と前記論理機能部の診断用スキャン論理部を構成する基本セルを配置し、基本セル間の配線により機能を実現できる論理回路を構成するものである。図1に従来の半導体集積回路の構成を示す。図1において1は半導体集積回路を構成しているチップであり、チップ1の周辺部には入出力バッファ2を設けている。チップ1の中央部には基本セル列3を配線領域4で囲んで任意の間隔で配列している。論理機能は基本セル列3を構成する基本セルの相互間および入出力バッファ2と基本セル間の配線で実現する。論理機能の故障検出のため診断回路が必要である。この診断を行うのが図2に示す論理回路を使用したスキャンパス論理である。図2の5、6は論理機能部中のフリップフロップであり、データ端子にセクタ7、8を介してシフトレジスタ状に接続している。フリップフロップ5、6のクロック端子はセクタ9、10の出力に接続しており、セットピンとリセットピンはそれぞれアンドゲート11、12および13、14の出力に接続している。デコーダ16は診断アドレス信号23を入力し、デコーダ16の出力信号と診断クロック信号22をアンドゲート15を介してセクタ9と10に供給している。これにより、上記セクタ9と10はモード設定信号25に应答して論理機能部内クロック信号24または診断クロック信号22をフリップフロップ5、6に転送している。アンドゲート13、14はモード設定信号25に应答してリセット信号26、27を有効または無効にしている。セクタ7はモード設定信号25に应答して論理機能内部信号19または診断入力データ信号21をフリップフロップ5に転送している。セクタ8はモード設定25に应答してフリップフロップ5出力信号または論理機能部内部信号20をフリップフロップ6に転送している。アンドゲート11、12はモード設定信号25に应答してセット信号17、1

8を有効または無効にしている。通常図2に示すスキャン論理部35の基本セルは、論理機能部34の基本セルと区別することなく図1の基本セル列3に配置していた。なお、この種の配置方法に関連するものとして特開昭63-300528号公報等が挙げられる。

## 【0003】

【発明が解決しようとする課題】スキャン論理部は半導体集積回路の論理機能動作とは直接関係なく、ひいては半導体集積回路の高速性にも関係ない。しかし、上記の配置方法では図3に示すようにスキャン論理部の基本セル15、16の領域およびスキャン論理部用配線28乃至32が論理機能部の基本セル5、7間の信号伝搬遅延時間短縮を目的とする最短配線の障害となっていた。

## 【0004】

【課題を解決するための手段】本発明は半導体チップ上に複数の基本セル形成部と、配線領域を備え、配線工程で論理機能を実現する半導体集積回路において、論理機能部と図2に示す前記論理機能部の診断用スキャン論理部を構成する基本セルを擁する複数のブロック論理部をチップ上に配置する時、各論理機能部基本セルをブロック論理部中央部に配置しその周辺部にスキャン論理部基本セルを配置することを特徴としている。また、ブロック論理部間の配線長がスキャン論理部により長くなり信号伝搬遅延時間が遅くなる恐れがあるが、これは駆動能力の高いブロック論理部間ドライバーセルを使用することで回避できる。

## 【0005】

【作用】ブロック論理部内をチップ上へ配置する時、論理機能部の基本セル間に混在するスキャン論理部の基本セル領域および配線チャネルを周辺部へ配置することで論理機能部の基本セル間の配線長の短縮を行ないブロック論理部内信号伝搬遅延時間の短縮をする。

## 【0006】

【実施例】図4、図5は本発明の実施例であり、図4において3は、ブロック論理部33内の基本セル列を示しており、ブロック論理部内の基本セル列3の周辺部にスキャン論理部の基本セル配置領域35を形成する。論理機能部の基本セル配置領域34にスキャン論理部の基本セル配置領域35が入り込まないことで論理機能部の基本セル間配線の自由度をあげることができる。図5は、図4に示した複数のブロック論理部をチップ上へ配置した実施例である。図5において1は半導体集積回路を形成するチップを示しており、このチップ1の周辺部に入出力バッファ2を形成する。チップ1の中央部は複数のブロック論理部33で形成している。ここで、複数のブロック論理部の個々の周辺部に配置したスキャン論理部が隣接し広い領域36が発生しブロック論理部間配線の障害となりブロック論理部間の信号伝搬遅延時間が遅くなる恐れがあるが、これは、37で示す駆動能力の高いブロック論理部間ドライバーセルを使用する。

(3)

3

【0007】このように上記した本実施例によれば以下の効果を得ることができる。

【0008】(1) ブロック論理部内において論理機能部の基本セル配置領域にスキャン論理部の基本セルが入り込まないことで論理機能部の基本セル間の配線を短くし、論理機能部の基本セル間の信号伝搬遅延時間の短縮ができる。

【0009】(2) ブロック論理部内において論理機能部の基本セル間配線チャンネル領域にスキャン論理部の基本セル間配線チャンネルの使用率を少なくすることで論理機能部の基本セル間の配線を短くし、論理機能部の基本セル間の信号伝搬遅延時間の短縮ができる。

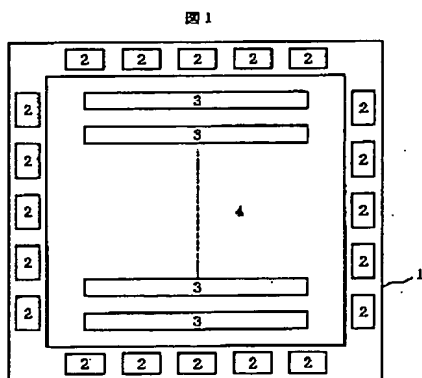
【0010】以上、本発明の実施例に基づき、具体的に説明したが本発明は前記一実施例に限定されるものではなく、その要旨を逸脱しない範囲で変更可能であることはいうまでもない。例えば、複数のブロック論理部に限るものではなくチップ基本セル列中央部に論理機能部の基本セルを配置し、その周辺部基本セル列にスキャン論理部の基本セルを配置することでもよい。また、前記スキャン論理部領域に実現する回路は前記一実施例に限定されず、スキャン論理を実現できればいかなる構成でもよい。

【0011】

【発明の効果】本願により開示される発明のうち代表的なものによって得られる効果は以下の通りである。

【0012】論理機能部の基本セル間に混在するスキャン論理部の基本セル領域および配線チャンネルを周辺部へ配置することで論理機能部の基本セル間の配線短縮を行ないブロック論理部内信号伝搬遅延時間の短縮をする。

【図1】



4

これにより半導体集積回路における高速性を高めることができる。

【図面の簡単な説明】

【図1】従来の半導体集積回路の構成を示す平面図。

【図2】スキャン論理部を説明する回路図。

【図3】従来の基本セル配置図。

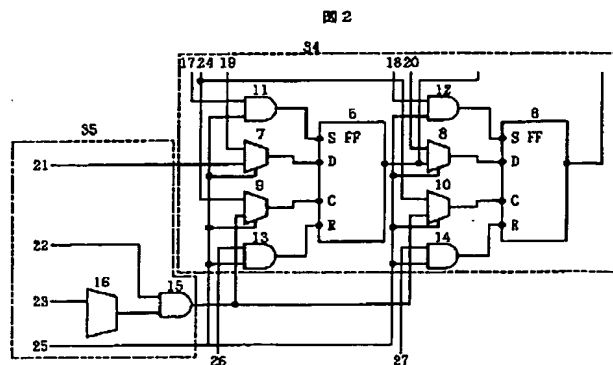
【図4】本発明の一実施例のブロック論理部配置図。

【図5】本発明の一実施例のチップ配置図。

【符号の説明】

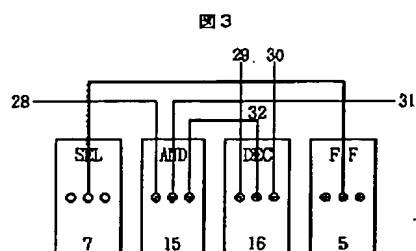
- 10 1…チップ、
- 2…入出力バッファ、
- 3…基本セル列、
- 4…配線領域、
- 5、6…フリップフロップ、
- 7乃至10…セクタ、
- 11乃至15…アンドゲート、
- 16…デコーダ、
- 17、18…セット信号、
- 19、20…論理機能部内データ信号、
- 20 21…外部診断データ、
- 22…診断クロック信号、
- 23…診断アドレス信号、
- 24…通常クロック信号、
- 25…モード設定信号、
- 26、27…リセット信号、
- 33…ブロック論理部、
- 34…論理機能部、
- 35…スキャン論理部、
- 37…ドライバーセル。

【図2】

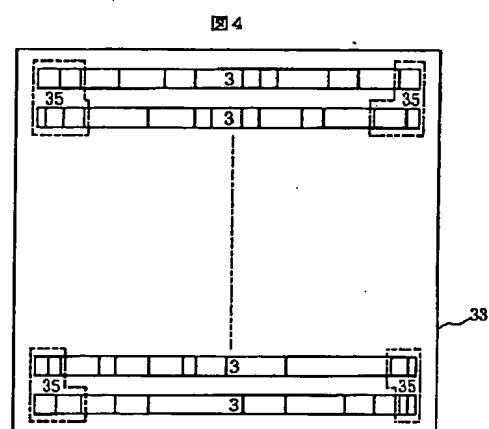


(4)

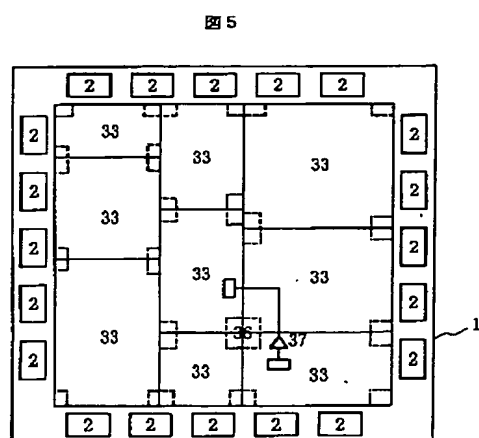
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/82